

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-194996

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

G06F 13/28

G06F 11/30

(21)Application number : 09-361533

(71)Applicant : CANON INC

(22)Date of filing : 26.12.1997

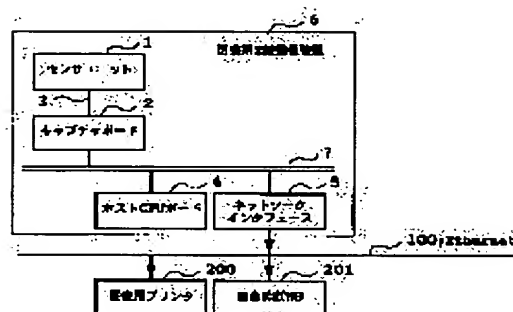
(72)Inventor : MATSUNO HIROYUKI

(54) DATA TRANSFER DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To optimize the availability of a bus by shortening total transfer time in the DMA(direct memory access) transfer of data.

SOLUTION: In an X-ray radiographing device 6, a sensor unit 1 provided with a large screen solid-state imaging device and a capture board 2 storing photographed image data are connected through a bus 3 exclusive for image transfer. The image data transferred onto the capture board 2 are further transferred through a PCI bus 7 onto a host CPU 4, transferred through a network interface 5 to an external device such as a medical printer 200 or another diagnostic device 201 connected to a LAN 100 after image processing, and utilized for medical image diagnosis.



LEGAL STATUS

[Date of request for examination]

28.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-194996

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl.⁶

G 0 6 F 13/28
11/30

識別記号

3 1 0
3 2 0

F I

G 0 6 F 13/28
11/30

3 1 0 G
3 2 0 B

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21) 出願番号 特願平9-361533

(22) 出願日 平成9年(1997) 12月26日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 松野 裕之

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

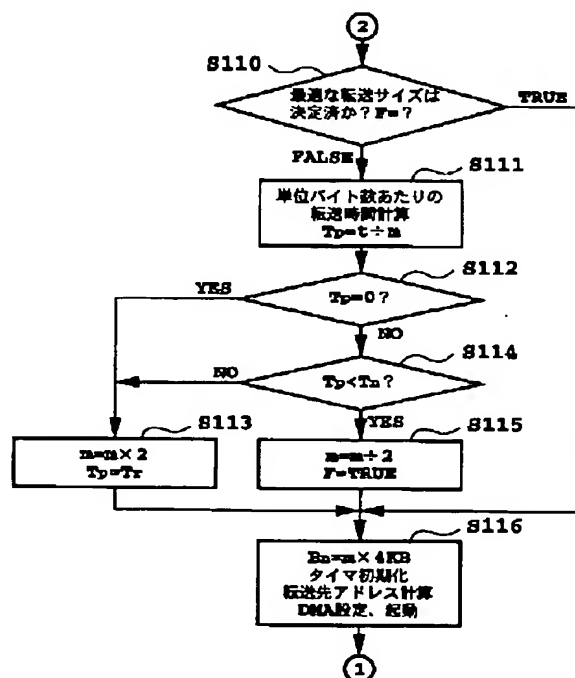
(74) 代理人 弁理士 谷 義一 (外1名)

(54) 【発明の名称】 データ転送装置

(57) 【要約】

【課題】 データのDMA転送における総転送時間を短縮させ、バスの使用効率を最適化する。

【解決手段】 データを複数に分割してDMA転送を繰り返して行う場合において、DMA転送の1回当たりの転送時間および転送バイト数を比較監視しながら、転送サイズを各転送単位で動的に変化させる。



【特許請求の範囲】

【請求項1】 データを複数に分割することによって、DMA転送を繰り返して行うデータ転送装置であって、前記データのDMA転送の転送時間を計測するタイマーと、

DMA転送前に転送条件の設定と共に前記タイマーを起動させ、DMA転送の終了後に前記タイマーを停止させることによって、DMA転送の1回当たりの転送時間を転送終了毎に測定する転送時間測定手段と、該測定された転送時間を基準値と比較する手段と、該比較結果に応じて、DMA転送の1回当たりのデータ転送サイズを決定する転送サイズ決定手段とを具え、該決定されたデータ転送サイズに従ってDMA転送を繰り返して行うことを特徴とするデータ転送装置。

【請求項2】 前記転送サイズ決定手段により決定されたデータ転送サイズのデータを転送終了毎に合算する合算手段と、該合算されたデータ合算値を総転送量と比較する手段と、前記データ合算値が前記総転送量を超えたときに転送モードを切り替える手段とをさらに具えたことを特徴とする請求項1記載のデータ転送装置。

【請求項3】 前記データの転送エラーが生じた場合、起動したタイマーのタイムアウトにより異常を検知する手段と、該異常の検知によって前記データのDMA転送を停止させる手段とをさらに具えたことを特徴とする請求項1又は2記載のデータ転送装置。

【請求項4】 センサ部により撮像した画像データを画像処理部に転送して画像処理を行う画像処理装置であって、請求項1ないし3のいずれかに記載のデータ転送装置を具え、前記センサ部からの画像データを前記データ転送装置に入力し、該データ転送装置によって所定のデータ転送サイズに分割された画像データを前記画像処理部に対して繰り返しDMA転送することを特徴とする画像処理装置。

【請求項5】 データを複数に分割することによって、DMA転送を繰り返して行うデータ転送方法であって、DMA転送前に転送条件の設定と共にタイマーを起動させ、DMA転送の終了後に該タイマーを停止させることによって、DMA転送の1回当たりの転送時間を転送終了毎に測定する工程と、該測定された転送時間を基準値と比較する工程と、該比較結果に応じて、DMA転送の1回当たりのデータ転送サイズを決定する工程とを具え、該決定されたデータ転送サイズに従ってDMA転送を繰り返して行うことを特徴とするデータ転送方法。

【請求項6】 前記決定されたデータ転送サイズのデー

タを転送終了毎に合算する工程と、

該合算されたデータ合算値を総転送量と比較する工程と、

前記データ合算値が前記総転送量を超えたときに転送モードを切り替える工程とをさらに具えたことを特徴とする請求項5記載のデータ転送方法。

【請求項7】 前記データの転送エラーが生じた場合、起動したタイマーのタイムアウトにより異常を検知する工程と、

10 該異常の検知によって前記データのDMA転送を停止させる工程とをさらに具えたことを特徴とする請求項5又は6記載のデータ転送方法。

【請求項8】 センサ部により撮像した画像データを画像処理部に転送して画像処理を行う画像処理方法であって、

請求項1ないし3のいずれかに記載のデータ転送装置を用い、

前記センサ部から画像データを取り込む工程と、

20 該取り込まれた画像データを前記データ転送装置に入力する工程と、

該データ転送装置によって、前記画像データを所定のデータ転送サイズに分割してDMA転送を前記画像処理部に対して繰り返して行う工程とを具えたことを特徴とする画像処理方法。

【請求項9】 コンピュータによって、複数に分割されたデータのDMA転送制御を行うための制御プログラムを記録した記録媒体であって、

該制御プログラムはコンピュータに、

30 DMA転送前に転送条件の設定と共にタイマーを起動させ、DMA転送の終了後に該タイマーを停止させることによって、DMA転送の1回当たりの転送時間を転送終了毎に測定させ、

該測定させた転送時間を基準値と比較させ、

該比較結果に応じて、DMA転送の1回当たりのデータ転送サイズを決定させ、

該決定させたデータ転送サイズに従ってDMA転送を繰り返して行わせることを特徴とする転送制御プログラムを記録した記録媒体。

40 【請求項10】 前記決定させたデータ転送サイズのデータを転送終了毎に合算させ、

該合算させたデータ合算値を総転送量と比較させ、

前記データ合算値が前記総転送量を超えたときに転送モードを切り替えさせることを特徴とする請求項9記載の転送制御プログラムを記録した記録媒体。

【請求項11】 前記データの転送エラーが生じた場合、起動させたタイマーのタイムアウトにより異常を検知させ、

該異常の検知によって前記データのDMA転送を停止させることを特徴とする請求項9又は10記載の転送制御プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大容量のデータをDMA (Direct Memory Access) を用いて転送するデータ転送装置に関する。

【0002】

【従来の技術】従来から大容量のデータ転送を高速に行うには、DMA転送は必須の技術である。この種のデータ転送を高速に行う技術としては、バスマスタデバイスでバスを継続的に使用するバーストモード方式が一般的である。

【0003】近年、このバースト転送の性能向上のために、クロックと同期することによって、高速転送を行えるSDRAM (Synchronous DRAM) を用いる技術がある。

【0004】

【発明が解決しようとする課題】しかしながら、高速転送が可能なSDRAMは、クロックパルスと同期するため、電圧降下などによるハードウェアのわずかなタイミングの狂いが生じた場合でも、データ転送エラーという致命的な欠陥が発生しやすく、データに影響を及ぼすという問題点がある。

【0005】また、転送エラーを起こした場合、必要なデータサイズの転送が終了しないので、ホストCPUは、終了を認識できない。このような場合は、DMAコントローラを停止させ、SDRAMのモード切り換えを指示する必要がある。このモード切り換え処理を行わず、他のメモリアクセスを実行すると、ローカルバスがロックし、システム全体がハングアップする場合があります。

【0006】さらに、ホストCPUやDMAコントローラの制限によって、14MBのDMA転送を一度に実行できない場合がほとんどであり、また、バーストモード方式は、転送時間が長くなると、バスを占有する時間が長いので、ホストCPU上で動作するOS (Operating System) やアプリケーションのレスポンスが悪くなる傾向がある。

【0007】そこで、本発明の目的は、データのDMA転送における総転送時間を短縮させ、最適なバス使用効率を設定することが可能なデータ転送装置を提供することにある。

【0008】

【課題を解決するための手段】本発明は、データを複数に分割することによって、DMA転送を繰り返して行うデータ転送装置であって、前記データのDMA転送の転送時間を計測するタイマーと、DMA転送前に転送条件の設定と共に前記タイマーを起動させ、DMA転送の終了後に前記タイマーを停止させることによって、DMA転送の1回当たりの転送時間を転送終了毎に測定する転送時間測定手段と、該測定された転送時間を基準値と比

較する手段と、該比較結果に応じて、DMA転送の1回当たりのデータ転送サイズを決定する転送サイズ決定手段とを具備し、該決定されたデータ転送サイズに従ってDMA転送を繰り返して行うことによって、データ転送装置を構成する。

【0009】ここで、前記転送サイズ決定手段により決定されたデータ転送サイズのデータを転送終了毎に合算する合算手段と、該合算されたデータ合算値を総転送量と比較する手段と、前記データ合算値が前記総転送量を超えたときに転送モードを切り替える手段とをさらに具備することができる。

【0010】前記データの転送エラーが生じた場合、起動したタイマーのタイムアウトにより異常を検知する手段と、該異常の検知によって前記データのDMA転送を停止させる手段とをさらに具備することができる。

【0011】また、本発明は、センサ部により撮像した画像データを画像処理部に転送して画像処理を行う画像処理装置であって、前記データ転送装置を具備し、前記センサ部からの画像データを前記データ転送装置に入力し、該データ転送装置によって所定のデータ転送サイズに分割された画像データを前記画像処理部に対して繰り返しDMA転送することによって、画像処理装置を構成する。

【0012】また、本発明は、データを複数に分割することによって、DMA転送を繰り返して行うデータ転送方法であって、DMA転送前に転送条件の設定と共にタイマーを起動させ、DMA転送の終了後に該タイマーを停止させることによって、DMA転送の1回当たりの転送時間を転送終了毎に測定する工程と、該測定された転送時間を基準値と比較する工程と、該比較結果に応じて、DMA転送の1回当たりのデータ転送サイズを決定する工程とを具備し、該決定されたデータ転送サイズに従ってDMA転送を繰り返して行うことによって、データ転送方法を提供する。

【0013】ここで、前記決定されたデータ転送サイズのデータを転送終了毎に合算する工程と、該合算されたデータ合算値を総転送量と比較する工程と、前記データ合算値が前記総転送量を超えたときに転送モードを切り替える工程とをさらに具備することができる。

【0014】前記データの転送エラーが生じた場合、起動したタイマーのタイムアウトにより異常を検知する工程と、該異常の検知によって前記データのDMA転送を停止させる工程とをさらに具備することができる。

【0015】また、本発明は、センサ部により撮像した画像データを画像処理部に転送して画像処理を行う画像処理方法であって、前記データ転送装置を用い、前記センサ部から画像データを取り込む工程と、該取り込まれた画像データを前記データ転送装置に入力する工程と、該データ転送装置によって、前記画像データを所定のデータ転送サイズに分割してDMA転送を前記画像処理部

に対して繰り返し行う工程とによって、画像処理方法を提供する。

【0016】また、本発明は、コンピュータによって、複数に分割されたデータのDMA転送制御を行うための制御プログラムを記録した記録媒体であって、該制御プログラムはコンピュータに、DMA転送前に転送条件の設定と共にタイマーを起動させ、DMA転送の終了後に該タイマーを停止させることによって、DMA転送の1回当たりの転送時間を転送終了毎に測定させ、該測定させた転送時間を基準値と比較させ、該比較結果に応じ

て、DMA転送の1回当たりのデータ転送サイズを決定させ、該決定させたデータ転送サイズに従ってDMA転送を繰り返して行わせることによって、転送制御プログラムを記録した記録媒体を提供する。

【0017】ここで、前記決定させたデータ転送サイズのデータを転送終了毎に合算させ、該合算させたデータ合算値を総転送量と比較させ、前記データ合算値が前記総転送量を超えたときに転送モードを切り替えさせることができる。

【0018】前記データの転送エラーが生じた場合、起

動させたタイマーのタイムアウトにより異常を検知させ、該異常の検知によって前記データのDMA転送を停止させることができる。

【0019】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0020】図2は、大画面固体撮像素子を備えた医療用のX線撮影装置6のシステム構成例を示す。このX線撮影装置6は、LAN100と双方向通信可能に接続されている。このLAN100としては、例えばEthernet等の病院内に張り巡らされたネットワークを想定できる。

【0021】本例では、X線撮影装置6内におけるデータ転送処理を例に挙げる。

【0022】X線撮影装置6において、大画面固体撮像素子を含むセンサユニット1と、撮影した画像データを蓄えるキャプチャボード2とが、画像転送専用のバス3を介して接続されている。キャプチャボード2上に転送された画像データは、さらにPCIバス7を通じて、ホストCPUボード4上に転送され、画像処理後、ネットワークインターフェース5を通じて、LAN100に接続された外部装置、例えば、医療用のプリンタ200や、他の診断装置201に転送され、医療用の画像診断に利用される。

【0023】図1は、図2のX線撮影装置6におけるデータ転送処理部の構成を示す。

【0024】このデータ転送処理部は、キャプチャボード2と、ホストCPUボード4とのシステムによって構成される。

【0025】キャプチャボード2において、11は、ボ

ード内の処理を統括制御するためのローカルCPUである。12は、ローカルCPU11と、ホストCPU20との通信に使用するためのDPRAMである。13は、センサユニット1からデータが入力され記憶されるSDRAMである。14は、SDRAM13のモードを切り替えるモードレジスタである。15は、SDRAM13に入力される基準クロック（CLK）である。16は、SDRAM13からのデータが入力されるFIFOメモリである。17は、PCIバスインターフェースである。このPCIバスインターフェース17内には、FIFOメモリ16内のデータのDMA転送制御を行うためのDMAコントローラ（DMAC）18が設けられている。

【0026】ホストCPUボード4において、20は、本発明に係る図7～図9のDMA処理を実行するためのホストCPUである。なお、本例では、ホストCPU18上で動作するOS（オペレーティングシステム）として、Windows NTを採用している。21は、FIFOメモリ16からDMA転送されたデータが入力されるホストメモリである。22は、本発明に係る図7～図9の制御プログラム22aが記憶されるRAMである。23は、DMA処理の際に用いられるマップレジスタである。24は、PCIバスインターフェースである。25は、キャッシュメモリである。なお、制御プログラム22aは、RAM22の他に、ROM（図示せず）に記憶したり、また、別体として、フロッピーディスク等の記憶媒体に記憶してもよい。

【0027】以下、データ転送処理部の動作について説明する。

【0028】データ転送処理部は、DMA転送の設定とともにタイマー（制御プログラム22aにより実行されるソフト的な手段であるが、ハード的な手段でも構成が可能である）を起動し、DMA終了割込み毎に転送に要した転送時間と転送バイト数を記憶する。

【0029】異常が生じた場合には、タイマーのタイムアウト割込みが入るので、DMA転送を停止してバスの開放およびSDRAM13のモード切り換えをするとともに、転送異常をユーザに通知することができる。

【0030】正常時には、次のDMA設定とタイマーを初期化し、以後すべてのデータ転送を終了するまで繰り返す。

【0031】以上の基本シーケンスを用いてデータ転送を繰り返すが、ホストCPU20のクロックバスのメモリコントローラのウェイト時間、メモリの速度や種類などハードウェアによって、DMA転送の時間が異なる。すなわち、一般にはDMA転送を設定するオーバーヘッドを最小にする方が効率良く転送ができるはずだが、ハードウェアの組み合わせを変えて転送サイクルを計測すると、1度に転送するデータサイズと割込み回数の組み合わせにおいて、転送時間が異なる。

【0032】(メモリ空間) 次に、DMA転送に係るメモリ空間を、図3に基づいて説明する。

【0033】X線撮影装置6を制御するユーザプロセスは、OS上の仮想メモリ空間で動作しており、撮影データを画像処理するために14MB(メガバイト)の画像データをキャプチャボード2上のSDRAM13からホストメモリ21にDMA転送する。

【0034】しかし、SDRAM13、DMAコントローラ18、ホストメモリ21などは、物理メモリ空間でアドレスを指定して動作しているため、ユーザプロセスへデータ転送を実現するためには、図3に示すように、ユーザ仮想メモリ300と、物理メモリ301と、論理メモリ302との間においてメモリアドレスの変換が必要となる。この図3は、全転送要求されたバイト数Brに対して、各アドレスで示す所定サイズのブロックに分割してデータを転送する例である。

【0035】ここで、ホストCPU20の一例としてPentiumを用いた場合には、一度にアクセス可能なサイズは4KBのページサイズという制限があるが、Windows NTには、ホストメモリ21を論理的にOSの空間内に連続領域に割り付けることで、データ転送を1度のDMA起動に対して行う機能がある。この論理的なアドレス変換を行うのがマップレジスタであり、m個使用して、4×mKB単位でバースト転送を可能にしている。

【0036】そして、SDRAM13のモードをモードレジスタ14で切り替え、バースト転送を行うために、ローカルCPU11は、FIFOメモリ16にデータを入れる初期化を行う。その後、PCIバスインターフェース17に内蔵されたDMAコントローラ18が、FIFO16からホストメモリ19へデータを順次バースト転送するだけの処理になる。このとき、ローカルCPU11は、そのデータ転送中においても、他のプロセスを実行できる。また、ホストCPU20は、所定のDMAサイズに分割されたデータに対して割り込み処理を行い、次のDMA転送の設定および起動以外は、他のプロ

$$\frac{5.33 - 1.50}{5.33} \times 100 \approx 72\%$$

【0043】となる。

【0044】また、図6は、16KB単位でDMA転送を行う場合の例である。このとき、割り込みの後処理時

$$\frac{1.10 - 0.38}{1.10} \times 100 \approx 65\%$$

【0046】となる。この場合、割り込み後処理に時間がかかっているが、その割合が図5に比べて72%から約65%と少なくなっている。この後処理時間のほとんどがメモリフラッシュにかかっていることから、DMA転送先であるOSの論理空間がキャッシュ上にある場合に、キャッシュメモリからホストメモリ21へのメモリコピーになるため、高速に転送できると推測できる。

【0047】以上の実験結果から、CPUクロック、バ

スを実行することができる。

【0037】(実験例) 次に、センサユニット1で撮影した14MBの画像データをDMA転送するために、分割するサイズについて考える。

【0038】図4は、マップレジスタ23の個数を変え、1回のDMA転送のサイズを変化させて、14MB(ただし、1MB=1024KB)の画像データ全体の転送時間を計測した一例である。

【0039】転送サイズを規定するマップレジスタ23の個数がm=4のときは、 $(14 \times 1024) / 16KB = 896$ 回のDMA起動および割り込み後処理などのI/O処理を行わなければならない。また、m=16のときは、224回のI/O処理になる。

【0040】しかしながら、OSの論理的連続メモリ空間にあるDMA転送されたデータを、仮想メモリ空間にあるユーザプロセスに対してデータを渡すためには、DMAコントローラ18内のキャッシュメモリ、および、ホストメモリ21内の論理空間あるいはホストCPUボード4上のキャッシュメモリ25を明示的にメモリフラッシュ(キャッシュメモリ上のデータを吐き出すためのメモリコピー)する必要がある。このメモリフラッシュ中は、次のDMA転送を行えないため、PCIバス7上は遊んでいる状態が継続し、メモリフラッシュ終了後に次のDMA転送を起動できる。

【0041】図5および図6は、回路上の信号線の状態を示す。図5は、64KB単位でDMA転送を行う場合の例である。30は、DMA転送サイズのレジスタにアクセスする時間を計測したものである。1回の転送について実際にバースト転送している転送時間は31のように短く、30から31を引いた32の部分が、転送終了割り込み後の処理になる。このとき、割り込みの後処理時間比は、

【0042】

【数1】

間比は、

【0045】

【数2】

…(2)

スクロック、メモリスピード、メモリアクセスウェイト、キャッシュサイズなどのハードウェア構成によって、一度にDMA転送を行う最適なサイズ、すなわち、マップレジスタ23の個数mが異なる結果になる。

【0048】すなわち、ホストCPU20やホストメモリ21が十分に速い場合、さらにメモリアクセスウェイトが小さい場合やキャッシュメモリ25が多い場合は、DMA転送の起動および割り込み後処理にかかるCPUオ

オーバーヘッドが多くても、PCIバス7の使用率を高める方が全体の転送時間を短くすることができる。一方、このオーバーヘッドが多くなりすぎると、ホストCPU18が遅い場合や、チップセットの性能により、かえって転送時間がかかる結果になる。

【0049】(DMA転送処理)次に、DMA転送の処理を、図7～図11に基づいて説明する。以下に示す処理は、ホストCPU20が制御プログラム22aを用いて行う制御例である。

【0050】本処理では、画像データを複数に分割してDMA転送を繰り返して行う場合において、自動的に最適な転送サイズに近づける処理を行う。

【0051】まず、図7に示すように、ステップS101において、ユーザプロセスからの要求により、初期化処理を行う。この場合、係数は、以下のような内容とする。

【0052】

m: マップレジスタの個数

F: 最適な転送サイズが決定済か否かを示すフラグ

Tp: 前回のDMA転送に要した単位バイト数当たり (ここでは4KB) の転送時間

Tn: 今回のDMA転送に要した単位バイト数当たり (ここでは4KB) の転送時間

t: 今回のDMA転送に要した転送時間

Bn: 今回のDMA転送に要したバイト数

Bt: 現在までの転送済のバイト数

Br: 全転送要求されたバイト数

また、転送先アドレスを計算し、DMA転送の設定および起動を行う。これにより、タイマーがスタートし、FIFOメモリ16からホストメモリ21への画像データのDMA転送が開始される。

【0053】次に、図8に示すように、ステップS102では、DMA終了割り込み処理に入る。そして、ステップS103では、DMAコントローラ18がDMA転送処理終了を示す割り込み信号を発生したかをチェックする。

【0054】DMA終了割り込みを発生した場合には、ステップS104に進む。ステップS104では、タイマーを停止し、DMA転送に要した転送時間tを記憶する。ステップS105では、現在までに転送済のバイト数Btを算出する。

【0055】ステップS106では、現在までの転送済のバイト数Btが、全転送要求されたバイト数Brを超えているか否かをチェックする。

【0056】ステップS106において、現在までのバイト数Btが全バイト数Brを超えた場合は、ステップS107に進み、SDRAM13のモード切り換えを行う。そして、ステップS108にて、DMA転送を正常な状態で終了する。

【0057】一方、現在までのバイト数Btが全バイト

数Brを超えていない場合は、図9に示すステップS110に進む。ステップS110以降の処理は、最適な転送サイズを決定する処理である。

【0058】ステップS110では、画像データの転送サイズが最適な転送サイズになっているか否かをチェックする。最適な転送サイズになっていない場合には、ステップS111に進む。

【0059】ステップS111では、単位バイト数当たりの転送時間Tpを算出する。そして、ステップS112に進み、前回の転送時間が有効か否かをチェックする。

【0060】ステップS112において、前回の転送時間が有効でない場合は、ステップS113に進み、個数mと、前回の転送時間Tpとの値を入れ替える。一方、前回の転送時間が有効である場合は、ステップS114に進み、前回の転送時間Tpと今回の転送時間Tnとを比較する。

【0061】ステップS114において、今回の転送時間Tnが前回の転送時間Tpよりも短い場合は、ステップS113に進む。一方、今回の転送時間Tnが前回の転送時間Tpよりも長い場合は、ステップS115に進み、個数mを入れ替えると共に、フラグFをTRUEとすることにより、最適な転送サイズが決定される。

【0062】その後、ステップS116に進む。このステップS116は、初期ルーチンのステップS101に対応するものである。この場合、今回の転送バイト数Btを新たに算出する。そして、DMA転送の設定および起動を行い、タイマーをスタートさせて、前回と同様に、FIFOメモリ16からホストメモリ21への画像データのDMA転送を開始する。以後、ステップS102に進み、同様な処理を繰り返す。

【0063】また、ステップS110において、最適な転送サイズになっていた場合には、ステップS116に直接進んで処理を続行する。

【0064】以上述べたように、最適な転送サイズを動的に探しながら、DMA転送を繰り返して行う。

【0065】また、万一、DMAコントローラ18等のハードウェアの不具合が生じた場合には、ステップS103において、DMA転送処理終了を示す割り込みがないと判断して、ステップS201に進み、DMAタイムアウト処理を実行する。

【0066】ステップS201では、タイマーを停止し、SDRAM13のモード切り換えを行う。そして、ステップS202に進んで、ユーザに異常状態を通知し、全ての処理を終了する(ステップS203)。このようなタイムアウト処理により、システム全体を誤動作させることなく、ユーザに異常を通知し、保守点検を促すことができる。

【0067】また、図10～図11は、上述した最適な転送サイズを決定する処理を模式的に示したものであ

る。

【0068】図10の例では、初期設定の後、2回目の処理で最適な転送サイズを決定し、以後 $m=1$ として最後の処理まで転送処理を続行する。

【0069】図11の例では、初期設定の後、4回目の処理で最適な転送サイズを決定し、以後 $m=4$ として最後の処理まで転送処理を続行する。

【0070】なお、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器からなる装置に適用してもよい。また、本発明はシステム或いは装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。この場合、本発明を達成するためのソフトウェアによって表されるプログラムを格納した記憶媒体を該システム或いは装置に読み出すことによって、そのシステム或いは装置が、本発明の効果を享受することが可能となる。

【0071】

【発明の効果】以上説明したように、本発明によれば、データを複数に分割してDMA転送を繰り返して行う場合において、DMA転送の1回当たりの転送時間および転送バイト数を逐次比較監視しながら、転送サイズを各転送単位で動的に変化させるようにしたので、データのDMA転送の総転送時間を短縮させることができる。

【0072】また、これにより、ハードウェアの組み合わせが幾通りあっても、何度も実験を繰り返して最適値を求めなくても、自動的に最適値に近似することが可能なため、バス上のデータ転送が多くなっている場合にも、自動的に最適なバス使用効率に近づけることができ

る。

【図面の簡単な説明】

【図1】本発明の実施の形態であるデータ転送装置の構成を示すブロック図である。

【図2】本発明に適用される医療用システムの構成例を示すブロック図である。

【図3】DMA転送に係るメモリ空間を説明する説明図である。

【図4】DMA転送のサイズと転送時間との関係を示す説明図である。

【図5】DMA転送の設定と転送時間との関係を示す説明図である。

【図6】DMA転送の設定と転送時間との関係を示す説明図である。

【図7】DMA転送の制御を示すフローチャートである。

【図8】図7に続くDMA転送の制御を示すフローチャートである。

【図9】図8に続くDMA転送の制御を示すフローチャートである。

【図10】最適な転送サイズを決定する処理を模式的に説明する説明図である。

【図11】最適な転送サイズを決定する処理を模式的に説明する説明図である。

【符号の説明】

20 ホストCPU

22a 制御プログラム

【図2】

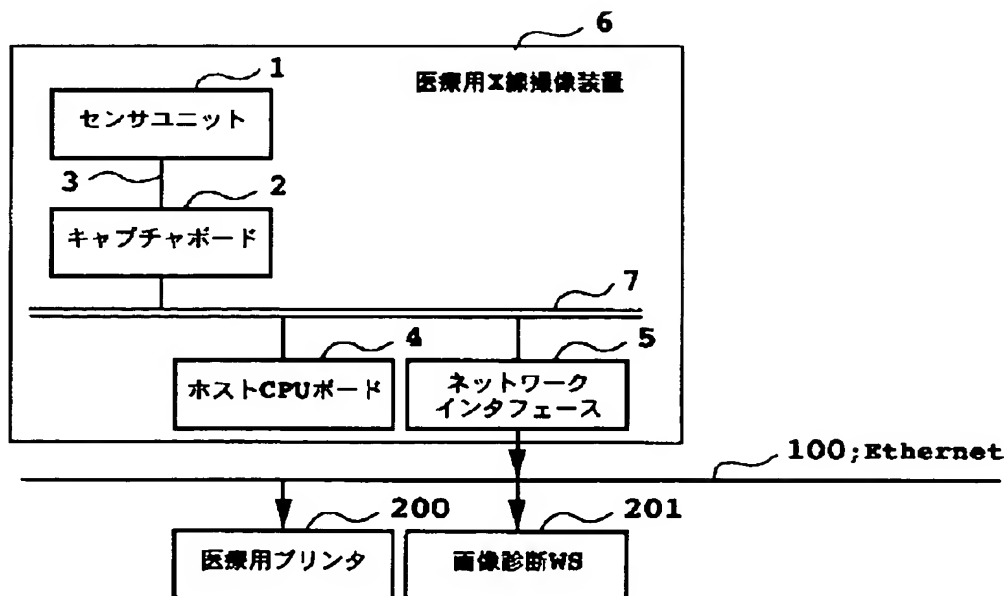


Figure 1 is a block diagram illustrating a system architecture. The system is divided into two main parts: a host system (2) and a peripheral system (4), connected via a PCI bus (7).

Host System (2):

- Local CPU (11):** Connected to the **DPRAM (12)** and the **Mode Register (14)**.
- DPRAM (12):** Connected to the **Local CPU (11)** and the **PCI Bus Interface (17)**.
- Mode Register (14):** Connected to the **Local CPU (11)** and the **SDRAM (13)**.
- SDRAM (13):** Connected to the **Mode Register (14)** and the **FIFO (16)**.
- FIFO (16):** Connected to the **SDRAM (13)** and the **PCI Bus Interface (17)**.
- CLK (15):** Connected to the **SDRAM (13)** and the **PCI Bus Interface (17)**.
- PCI Bus Interface (17):** Connected to the **DPRAM (12)**, **FIFO (16)**, **CLK (15)**, and the **DMAC (18)**.
- DMAC (18):** Connected to the **PCI Bus Interface (17)**.

Peripheral System (4):

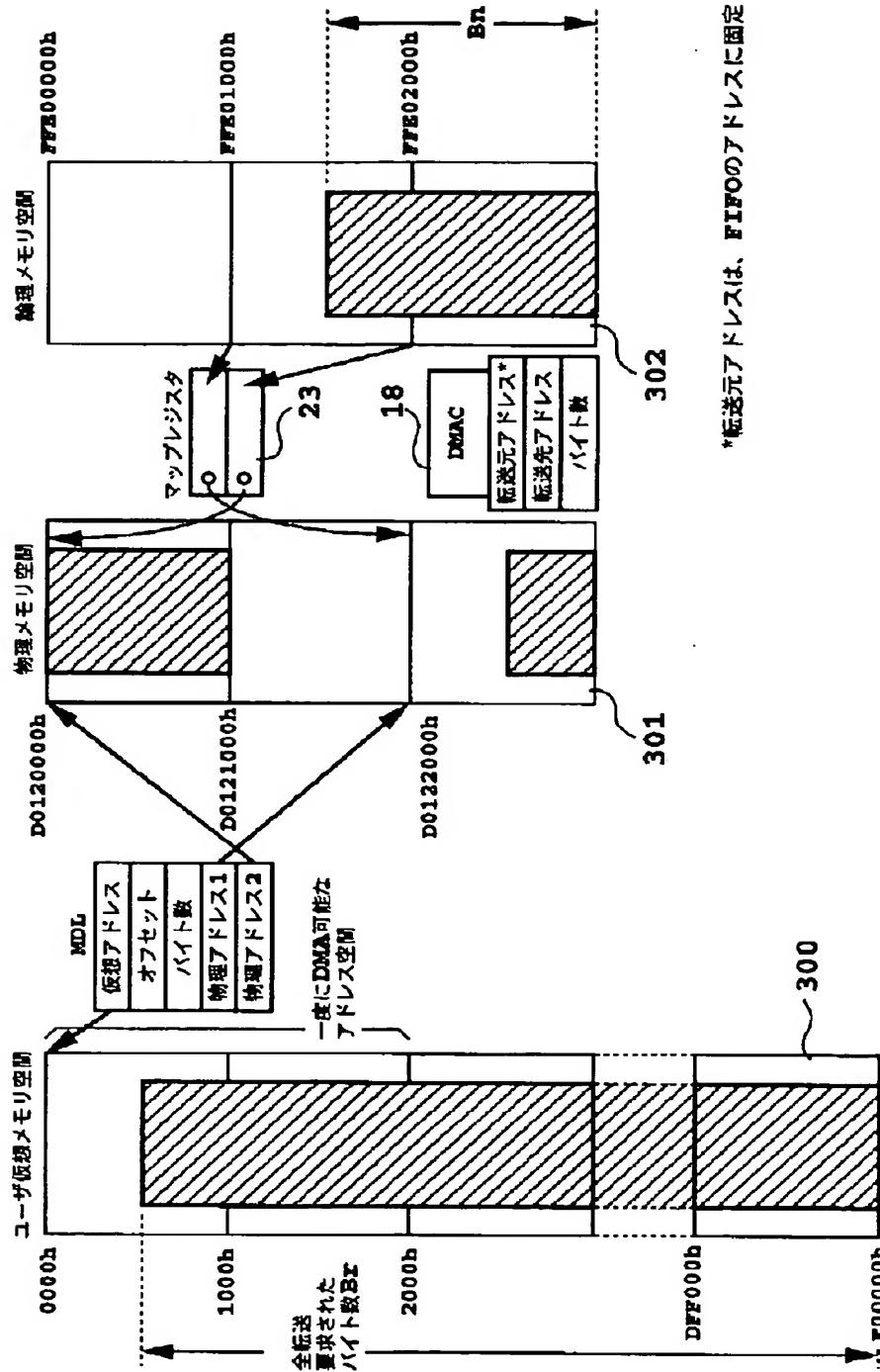
- Host CPU (20):** Connected to the **Host Memory (21)** and the **RAM (22)**.
- Host Memory (21):** Labeled as "Host Memory (Image Storage)".
- RAM (22):** Contains a sub-component labeled **22a**.
- Map Register (23):** Connected to the **RAM (22)**.
- PCI Bus Interface (24):** Connected to the **Host CPU (20)** and the **Cache Memory (25)**.
- Cache Memory (25):** Connected to the **PCI Bus Interface (24)**.

Connections:

- The **Host System (2)** is connected to the **Peripheral System (4)** via the **PCI Bus (7)**.
- A **Sensor Unit (1)** is connected to the **Host System (2)** via a signal line **3**.
- A **Mouse (6)** is connected to the **Host System (2)** via a signal line **3**.

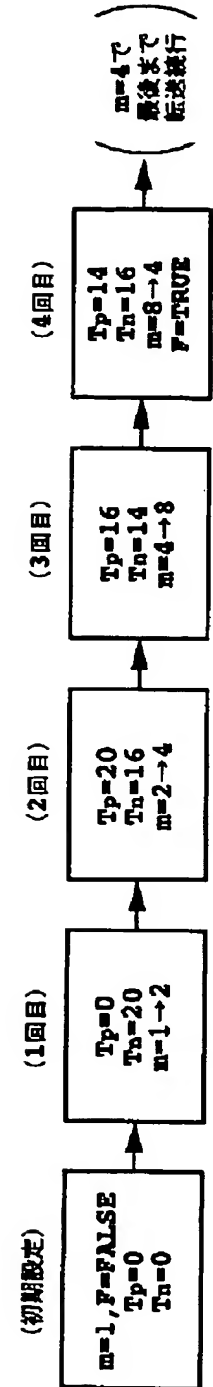
| 1回のDMA転送単位 (KB) | 14MBの転送時間 (msec) | 1回のDMA 平均転送時間 (μsec) | 4KBあたりの 平均転送時間 (μsec) |
|--------------------|---------------------|----------------------------|-----------------------------|
| 4KB | 1043ms | 291 μs | 291 μs |
| 8KB | 1012ms | 564 μs | 282 μs |
| 16KB | 1015ms | 1132 μs | 283 μs |
| 32KB | 1080ms | 2410 μs | 301 μs |
| 64KB | 1194ms | 5330 μs | 333 μs |

【図3】

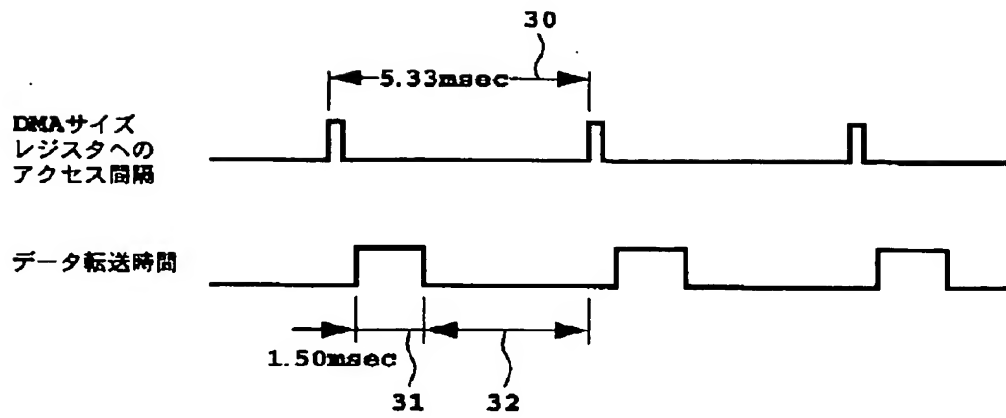


*転送元アドレスは、FIFOのアドレスに固定

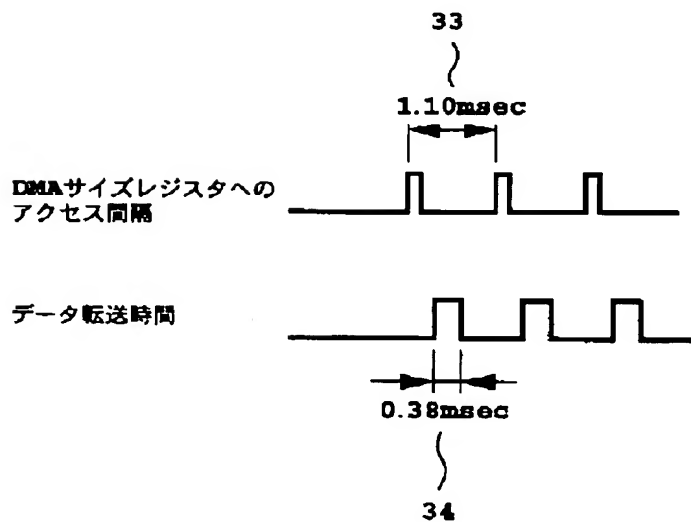
【図11】



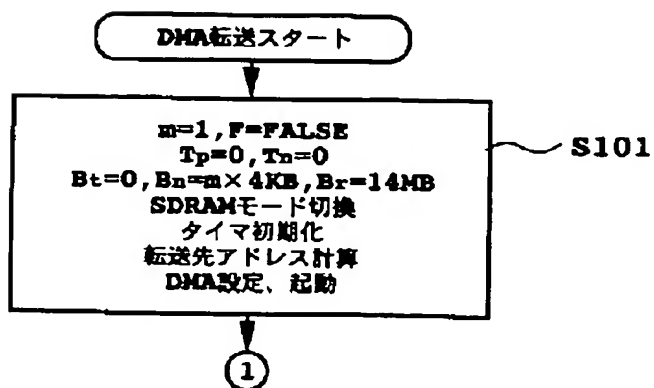
【図5】



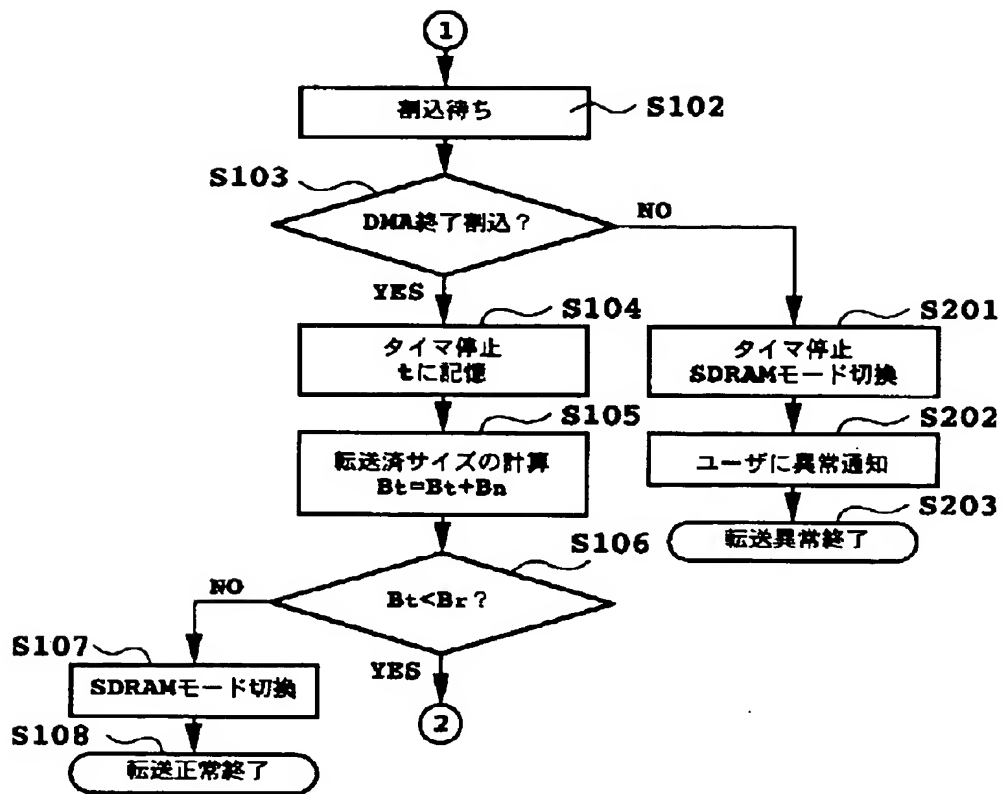
【図6】



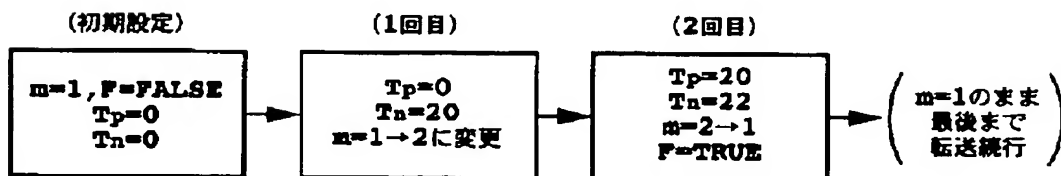
【図7】



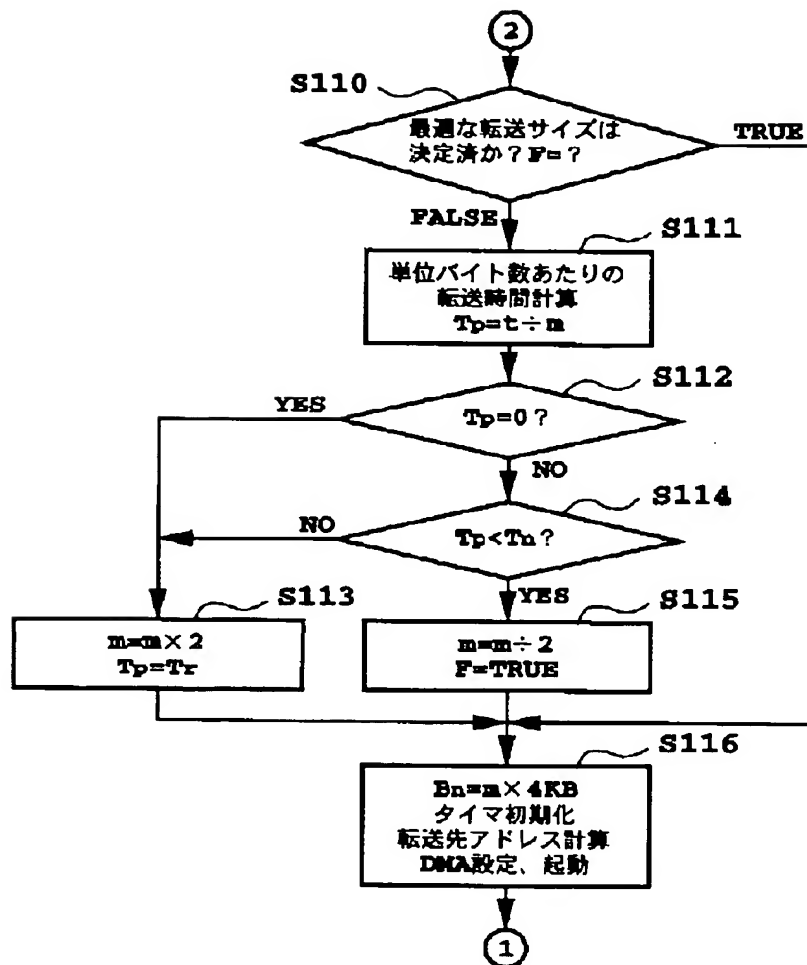
【図8】



【図10】



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.